YMZ770C

AMMS-A

Amusement Music decoder with Sequencer type-A

■概要

YMZ770C(AMMS-A)は、高音質・高圧縮なAMM(AMusement Music compression)データデコーダによるシーケンサー内蔵の自動演奏LSIです。
8系統のシーケンサーにより､独立した8フレーズの同時再生が可能であり､さらに多彩な自動演奏が可能です。
圧縮率は、ビットレート24～384kbit/secの範囲で指定が可能であり、サンプリング周波数は接続する水晶発振子及び水晶発振器によって6種類の中から選択することができます。
また、3.3VのHostCPU及びフレーズデータ用外部ROMとのインターフェイスに対応しています。

■特徴

・3.3VのHostCPU及びフレーズデータ用外部ROMとのインターフェイスに対応。
・AMMデータデコーダによる高音質、高圧縮の実現。
  ビットレートは、24～384kbit/secの範囲で1kbit/secごとの指定が可能。
  サンプリング周波数は接続する水晶発振子及び水晶発振器によって 16/22.05/24/32/44.1/48kHz から選択可能。
・フレーズデータ用外部ROMに記憶された最大256曲のフレーズデータから、最大8フレーズの同時再生が可能。
  (ステレオフレーズの場合は、２フレーズと計算されます)
・8系統のシーケンサーを内蔵し、フレーズ再生停止検出機能やタイマー機能を利用して、曲順指定、フェードイン/フェードアウト、オートパン等が実現可能。
・外部からの制御は、8ビットパラレルインターフェイスと、データバス8本のみで制御可能な「シンプルアクセスモード」が選択可能。
・クリップ防止リミッタ付きバスブーストを内蔵し、効果的な低音強調が可能。
  フィルタ：シェルビング型及びピーキング型、　ゲイン：+6dB/+12dB/+18dB/+24dB
・オーディオ出力は、内蔵16ビットDACからのアナログ出力と、16ビットPCMのデジタル出力が可能。
・フレーズデータ用外部ROMは最大32Mバイト（データバス16ビット時）または16Mバイト（データバス8ビット時）まで接続可能。
  アクセスタイムは180ns以下(電源電圧5V仕様のフレーズデータ用外部ROM)、または120ns以下(電源電圧3.3V仕様のフレーズデータ用外部ROM)。
・電源電圧
  5V±10%(HostCPU、フレーズデータ用外部ROMともに電源電圧5V仕様の場合)
  5V±10%、3.3V±10%(HostCPU、フレーズデータ用外部ROMともに電源電圧3.3V仕様が含まれる場合)
・シリコンゲートCMOSプロセス。
・80ピンプラスチックQFP(YMZ770C-F)。

ヤマハ株式会社

YMZ770C カタログ
CATALOG No.:LSI-3MZ770C50
2005.1

■端子配置図

YMZ770C-F

Pin	Name	Pin	Name	Pin	Name	Pin	Name
1	MD02	25	AVDD	41	MA22	65	MA00
2	MD01	26	AVSS	42	MA21	66	MD15
3	MD00	27	VREF	43	MA20	67	MD14
4	CD0	28	/TEST0	44	MA19	68	MD13
5	CD1	29	/TEST1	45	MA18	69	MD12
6	CD2	30	VDD5	46	MA17	70	MD11
7	CD3	31	BCO	47	MA16	71	MD10
8	CD4	32	LRO	48	MA15	72	VDD4
9	CD5	33	SDO	49	MA14	73	VSS4
10	CD6	34	CLKO	50	MA13	74	MD09
11	CD7	35	XO	51	MA12	75	MD08
12	AD	36	XI	52	MA11	76	MD07
13	ENA	37	/TEST2	53	MA10	77	MD06
14	/WR	38	VDD2	54	MA09	78	MD05
15	/CS	39	VSS2	55	VDD3	79	MD04
16	VDD1	40	MA23	56	VSS3	80	MD03
17	VSS1			57	MA08		
18	S6M			58	MA07		
19	/SEL			59	MA06		
20	MBMD			60	MA05		
21	/RESET			61	MA04		
22	/PLAY			62	MA03		
23	AOL			63	MA02		
24	AOR			64	MA01		

〈80 pin QFP Top View〉

■端子機能説明

No.	名称	I/O	Type	機能
16	VDD1	—	—	＋5V/＋3.3V 電源(HostCPU の電源＝＋5/＋3.3V)
38	VDD2	—	—	＋5V/＋3.3V 電源(ﾌﾚｰｽﾞﾃﾞｰﾀ用外部 ROM の電源＝＋5/＋3.3V)
55	VDD3	—	—	＋5V/＋3.3V 電源(ﾌﾚｰｽﾞﾃﾞｰﾀ用外部 ROM の電源＝＋5/＋3.3V)
72	VDD4	—	—	＋5V 電源
30	VDD5	—	—	＋5V 電源
17	VSS1	—	—	グランド
39	VSS2	—	—	グランド
56	VSS3	—	—	グランド
73	VSS4	—	—	グランド
25	AVDD	A-	—	＋5V 電源(アナログ)
26	AVSS	A-	—	グランド(アナログ)
21	/RESET	I＋	CMOS,Schmitt	リセット入力
36	XI	I	CMOS	水晶発振子接続端子または外部クロック入力
35	XO	O	—	水晶発振子接続端子
34	CLKO	O	IOL=2mA	クロック出力端子
19	/SEL	I＋	CMOS	インターフェイスモード選択信号 電源(VDD1)またはグランド(VSS1～VSS4)に接続してご使用下さい。＊1
15	/CS	I	CMOS,Schmitt	CPU インターフェイス　チップセレクト信号入力
14	/WR	I	CMOS,Schmitt	CPU インターフェイス　ライトイネーブル信号入力
13	ENA	I	CMOS,Schmitt	CPU インターフェイス　イネーブル信号入力(ﾉｰﾏﾙﾓｰﾄﾞ 2) CPU インターフェイス　ライトイネーブル信号入力(ﾉｰﾏﾙﾓｰﾄﾞ 1)
12	AD	I	CMOS,Schmitt	CPU インターフェイス　アドレス選択信号入力
18	S6M	I＋	CMOS,Schmitt	CPU インターフェイスモード選択信号 電源(VDD1)またはグランド(VSS1～VSS4)に接続してご使用下さい。＊1
4	CD0	I	CMOS,Schmitt	CPU インターフェイス　データバス
5	CD1	I	CMOS,Schmitt	CPU インターフェイス　データバス
6	CD2	I	CMOS,Schmitt	CPU インターフェイス　データバス
7	CD3	I	CMOS,Schmitt	CPU インターフェイス　データバス
8	CD4	I	CMOS,Schmitt	CPU インターフェイス　データバス
9	CD5	I	CMOS,Schmitt	CPU インターフェイス　データバス
10	CD6	I	CMOS,Schmitt	CPU インターフェイス　データバス
11	CD7	I	CMOS,Schmitt	CPU インターフェイス　データバス
20	MBMD	I＋	CMOS	フレーズデータ用外部 ROM インターフェイス　ﾃﾞｰﾀﾊﾞｽ幅選択信号 電源(VDD1)またはグランド(VSS1～VSS4)に接続してご使用下さい。＊1
3	MD00	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
2	MD01	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
1	MD02	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
80	MD03	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
79	MD04	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
78	MD05	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
77	MD06	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
76	MD07	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
75	MD08	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
74	MD09	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
71	MD10	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
70	MD11	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
69	MD12	I＋	TTL	フレーズデータ用外部 ROM インターフェイス　データバス

No.	名称	I/O	Type	機能
68	MD13	I+	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
67	MD14	I+	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
66	MD15	I+	TTL	フレーズデータ用外部 ROM インターフェイス　データバス
65	MA00	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
64	MA01	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
63	MA02	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
62	MA03	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
61	MA04	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
60	MA05	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
59	MA06	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
58	MA07	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
57	MA08	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
54	MA09	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
53	MA10	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
52	MA11	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
51	MA12	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
50	MA13	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
49	MA14	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
48	MA15	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
47	MA16	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
46	MA17	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
45	MA18	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
44	MA19	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
43	MA20	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
42	MA21	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
41	MA22	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
40	MA23	O	IOL＝2mA/1.6mA＊2	フレーズデータ用外部 ROM インターフェイス　アドレスバス
32	LRO	O	IOL＝2mA	デジタル出力　ワードクロック
31	BCO	O	IOL＝2mA	デジタル出力　ビットクロック
33	SDO	O	IOL＝2mA	デジタル出力　データ
22	/PLAY	O	IOL＝2mA	再生中フラグ
23	AOL	AO	0dB＝2.5VP-P	アナログ出力　L チャンネル
24	AOR	AO	0dB＝2.5VP-P	アナログ出力　R チャンネル
27	VREF	AO	―	基準電圧出力端子
28	/TEST0	I+	CMOS	LSI テスト用端子（電源(VDD4,VDD5)に接続してご使用下さい。）
29	/TEST1	I+	CMOS	LSI テスト用端子（電源(VDD4,VDD5)に接続してご使用下さい。）
37	/TEST2	I	CMOS	LSI テスト用端子（電源(VDD4,VDD5)に接続してご使用下さい。）

（注）I+:プルアップ抵抗内蔵入力端子

各端子のプルアップ電源供給元は下記の通りです。

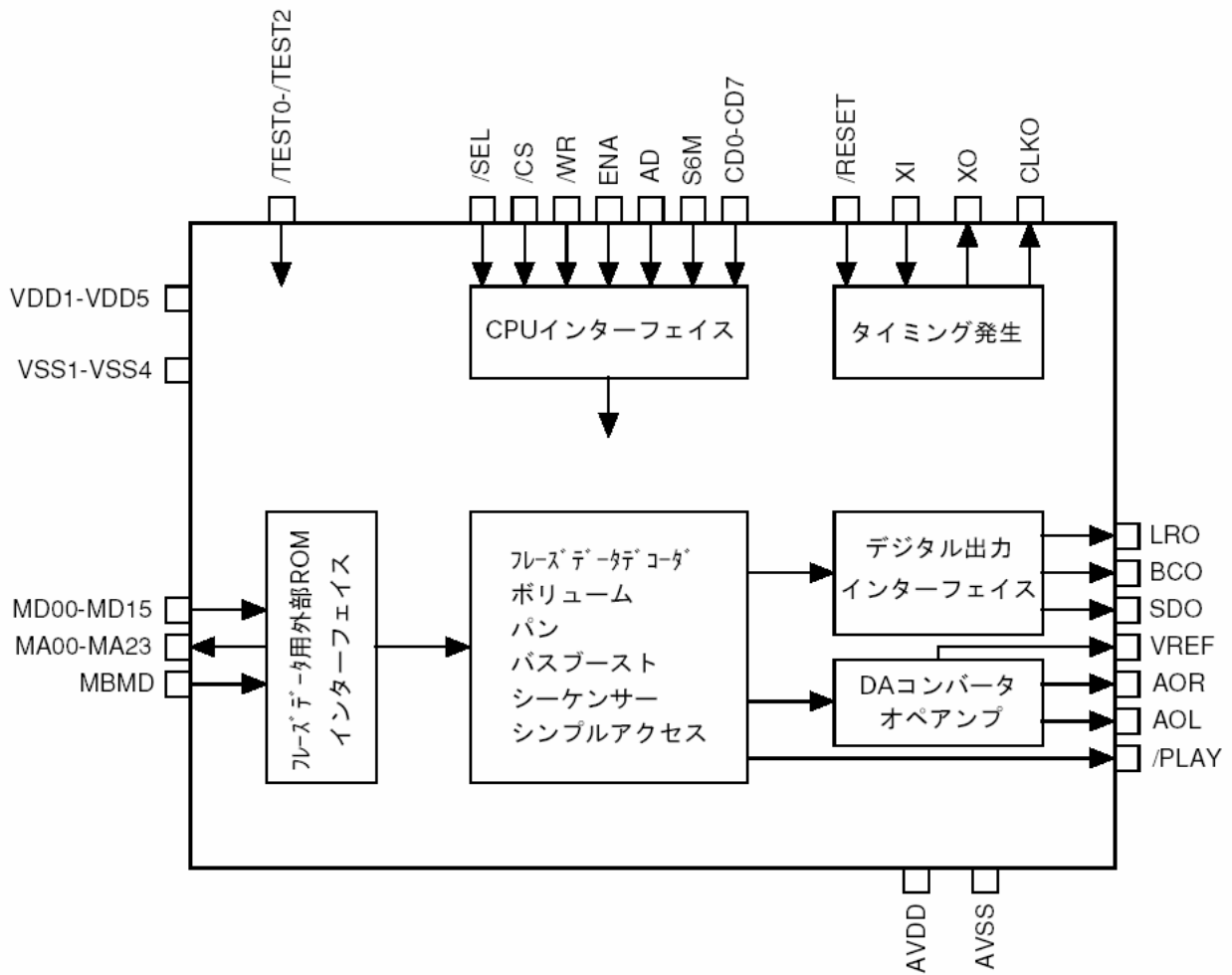
プルアップ抵抗内蔵入力端子	プルアップ電源供給元
/RESET 端子	VDD1
/SEL 端子	VDD1
S6M 端子	VDD1
MBMD 端子	VDD1
MD00～MD15 端子	VDD2, VDD3
/TEST0 端子	VDD4, VDD5
/TEST0 端子	VDD4, VDD5

A :アナログ端子

＊1:静電気や電源ノイズの状態がよくない環境では、プルアップ状態の入力端子はノイズの影響を受けやすく、誤作動の原因になることが考えられますので、レベルを固定して使用する入力ピンは、プルアップ処理を避け、電源またはグランドに直接接続してご使用下さい。

＊2:VDD2,VDD3=5V 時、I_{OL}=2mA となります。VDD2,VDD3=3.3V 時、I_{OL}=1.6mA となります。

■ブロック図

/TEST0-/TEST2
/SEL
/CS
/WR
ENA
AD
S6M
CD0-CD7
/RESET
XI
XO
CLKO
VDD1-VDD5
VSS1-VSS4
CPUインターフェイス
タイミング発生
MD00-MD15
MA00-MA23
MBMD
フレーズデータ用外部ROM
インターフェイス
フレーズデータデコーダ
ボリューム
パン
バスブースト
シーケンサー
シンプルアクセス
デジタル出力
インターフェイス
DAコンバータ
オペアンプ
LRO
BCO
SDO
VREF
AOR
AOL
/PLAY
AVDD
AVSS

■機能説明

●電源　VDD1-VDD5、VSS1-VSS4、AVDD、AVSS

VDD1-VDD5 端子はデジタル電源端子です。
VDD1 端子は HostCPU が 5V 仕様の時は 5V 電源に、3.3V 仕様の時は 3.3V の電源に接続します。
VDD2、VDD3 端子はフレーズデータ用外部 ROM が 5V 仕様の時は 5V 電源に、3.3V 仕様の時は 3.3V 電源に接続します。
VDD4、VDD5 端子は HostCPU、フレーズデータ用外部 ROM の仕様にかかわらず 5V 電源に接続して下さい。
VSS1-VSS4 端子はデジタルグランド端子です。共通のグランドに接続して下さい。
AVDD 端子はアナログ電源端子です。5V 電源に接続します。
AVSS 端子はアナロググランド端子です。
アナログ電源とデジタル電源、アナロググランドとデジタルグランドは、それぞれ別の電源、グランドへの接続を推奨します。

HostCPU	フレーズデータ用外部 ROM	VDD1	VDD2, VDD3	VDD4, VDD5	AVDD
5V 仕様	5V 仕様	5V	5V	5V	5V
5V 仕様	3.3V 仕様	5V	3.3V	5V	5V
3.3V 仕様	5V 仕様	3.3V	5V	5V	5V
3.3V 仕様	3.3V 仕様	3.3V	3.3V	5V	5V

各電源の立ち上げの順序については特に規定はありませんが、最初の電源の立ち上げから最後の電源の立ち上げまでの時間が 100ms 以内になることを推奨致します。

●クロック発振　XI、XO、CLKO

XI、XO 端子を使用して水晶発振回路を構成します。
発振周波数は、使用される fs（サンプリング周波数）に応じて下記の中から選択します。
CLKO 端子からは 256fs または 384fs のクロックが出力されます。
fs は再生時に AMM データで指定される fs に設定されます。
XI 端子に外部よりクロックを入力することも可能です。その場合 XO 端子はオープンにして下さい。

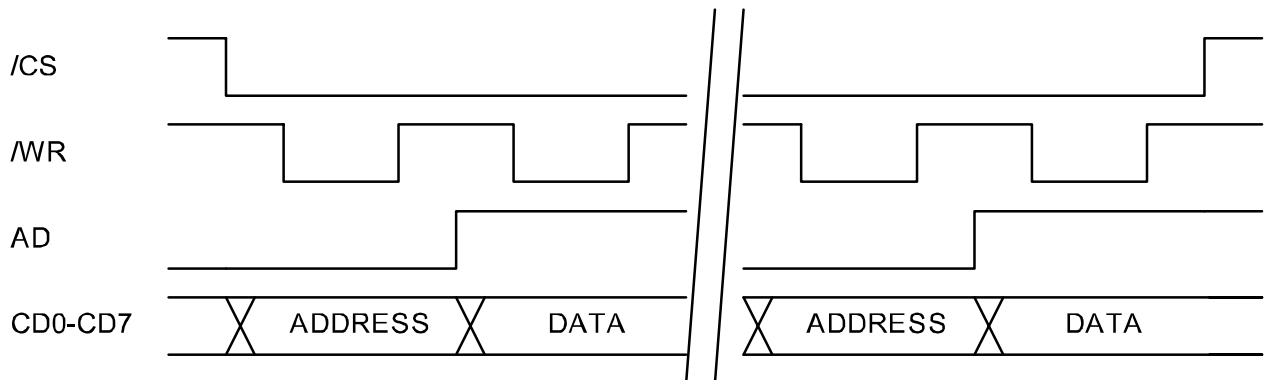
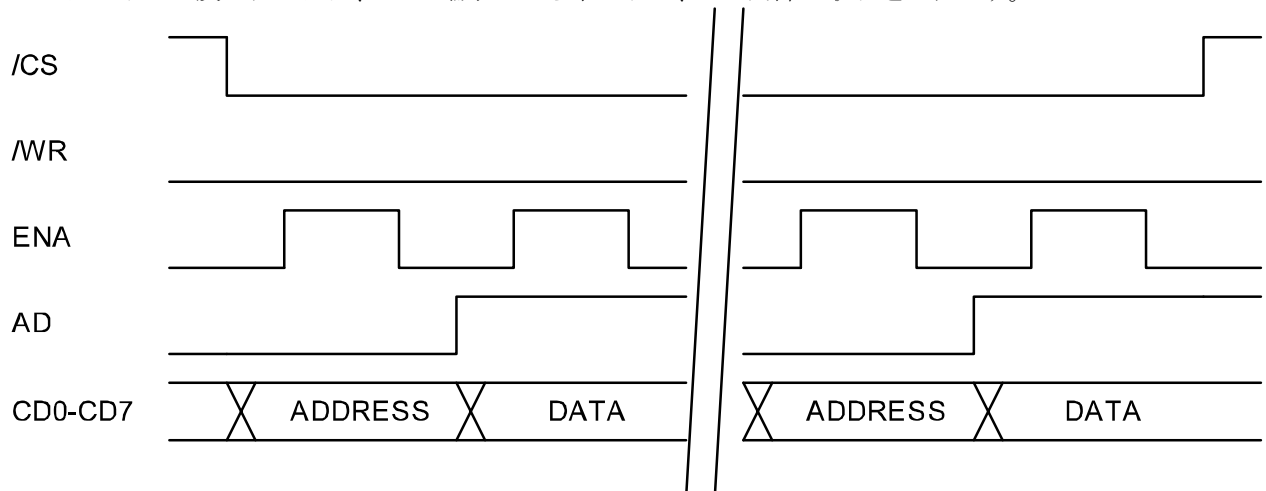
fs（サンプリング周波数）	XI 端子入力周波数	CLKO 出力周波数
48kHz、24kHz	18.432MHz	384fs
44.1kHz、22.05kHz	16.9344MHz	384fs
32kHz、16kHz	16.384MHz	256fs

●Host CPU インターフェイス　/SEL、S6M、/CS、/WR、ENA、AD、CD0～CD7

/SEL、S6M、/CS、/WR、ENA、AD 端子により以下のようなモード、及び状態になります。
/SEL 端子はインターフェイスモード選択端子です。
S6M 端子は CPU インターフェイスモード選択端子です
CD0-CD7 端子は CPU からのコマンドデータ入力端子です。
コマンドデータの書き込みは/CS、/WR、ENA、AD 端子で行います。
/SEL、S6M 端子は電源(VDD1)またはグランド(VSS1～VSS4)に接続してご使用下さい。
ノーマルモード 1、ノーマルモード 2、シンプルアクセスモードはいずれかのモードに固定してご使用下さい。

/SEL	S6M	/CS	/WR	ENA	AD	機能	
L	＊	L	＊	＊	＊	シンプルアクセスモード	
H	H	L	L	＊	L	ノーマルモード 1	アドレスライトステート
H	H	L	L	＊	H		データライトステート
H	L	L	L	H	L	ノーマルモード 2	アドレスライトステート
H	L	L	L	H	H		データライトステート
H	L	＊	＊	L	＊		インアクティブステート
H	＊	H	＊	＊	＊	ノーマルモード 1&2 共通	インアクティブステート
H	＊	＊	H	＊	＊		インアクティブステート

＊:Don't care

・ノーマルモード 1（/SEL 端子＝"H"、S6M 端子＝"H"）
CD0-CD7 端子に、AD 端子＝"L"でレジスタアドレスを設定し、AD 端子＝" H"でデータを設定します。
レジスタアドレス及びデータは、/WR 端子の立ち上がりで、LSI 内部に取り込まれます。

・ノーマルモード 2（/SEL 端子"H"、S6M 端子＝"L"）
CD0-CD7 端子に、AD 端子＝"L"でレジスタアドレスを設定し、AD 端子＝"H"でデータを設定します。
レジスタアドレス及びデータは、ENA 端子の立ち下がりで、LSI 内部に取り込まれます。

・シンプルアクセスモード（/SEL 端子＝"L"）
データバス 8 本（CD0-CD7）のみでシーケンス制御が可能です。

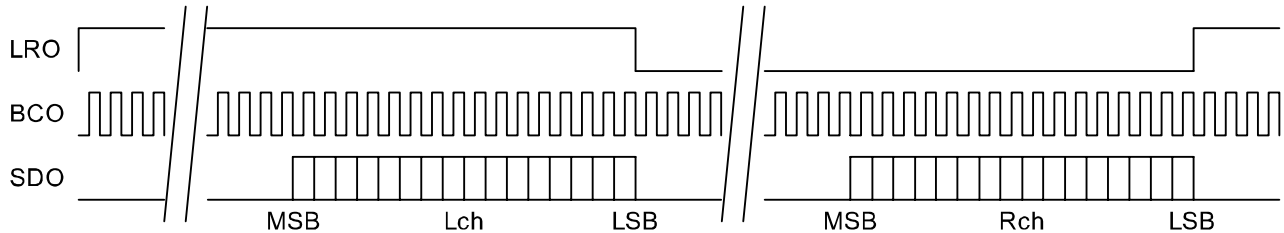
●フレーズデータ用外部 ROM インターフェイス　MA00～MA23、MD00～MD15、MBMD

・MBMD 端子が"H"レベルの時、16 ビットデータバスに対応します。
フレーズデータ用外部 ROM の容量は最大 32M バイトです。
MA00－MA23 端子よりアドレスを出力し、MD00－MD15 端子からデータを読み込みます。
・MBMD 端子が"L"レベルの時、8 ビットデータバスに対応します。
フレーズデータ用外部 ROM の容量は最大 16M バイトです。
MA00－MA23 端子よりアドレスを出力し、MD00－MD07 端子からデータを読込みます。
使用しない MD08－MD15 端子は VDD2,VDD3 に接続してご使用下さい。

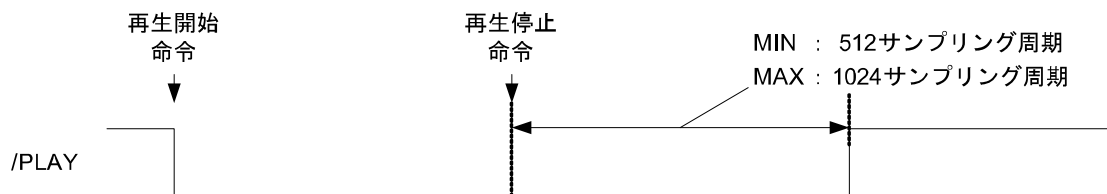
MBMD 端子は、電源（VDD1）またはグランド（VSS1～VSS4）に直接接続してご使用下さい。
フレーズデータ用外部 ROM は、5V 使用の場合はアクセスタイムが 180ns 以下のものを、3.3V 仕様の場合はアクセスタイムが 120ns 以下のものをご使用下さい。

●デジタル出力　LRO、BCO、SDO

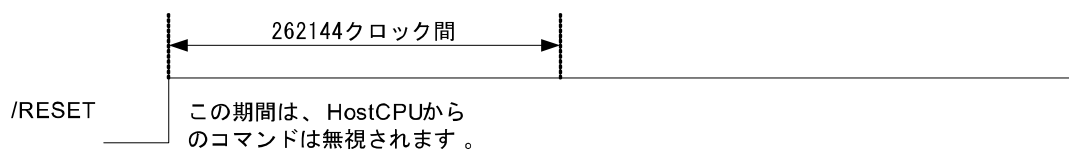
DOENレジスタ=1の時、PCMデータにデコードされたフレーズデータをデジタル出力します。
データは16ビット後ろ詰MSBファーストのシリアル出力です。
fs（サンプリング周波数）は再生状態でフレーズデータで指定されるfsに指定されます。
システムリセット後、フレーズデータを再生開始するまでの期間については、デバイスの初期状態として
fs(Hz)=XI端子に入力されるクロック周波数/512 に設定され、BCO出力周波数は64fsに設定されます。

fs	BCO 出力周波数
48kHz、24kHz	48fs
44.1kHz、22.05kHz	48fs
32kHz、16kHz	64fs

DOEN レジスタ＝0 の時、LRO,BCO,SDO 端子からは”L”レベルが出力されます。
デジタル出力を使用しない場合は、LRO,BCO,SDO 端子はオープンでご使用下さい。

●アナログ出力　AOL、AOR、/PLAY、VREF

PCM データにデコードされたフレーズデータは、デジタルフィルタで 2 倍にオーバーサンプリングされ、16 ビット DAC およびオペアンプを介して、AOL，AOR 端子からアナログ出力されます。
出力レベルは 0dB で 2.5Vpp、最大振幅は 5.0Vpp です。
/PLAY 端子は、KONx レジスタ（$43h, $47h, $4Bh, $4Fh, $53h, $57h, $5Bh, $5Fh）の設定によって、何れかのチャンネルが再生状態になると"H"レベルから"L"レベルになります。
MUTING Tr.等を使用し、再生中以外は MUTE することができます。

VREF 端子はアナログ回路の基準電圧を出力します。コンデンサを接続して使用します。

●システムリセット　/RESET

/RESET端子が"L"レベルの時、内部レジスタを初期化します。再生は強制的に停止されます。
本LSIは電源投入時、システムリセットが必要です。
システムリセットには、全ての電源が立ち上がってから規定の時間、/RESET端子="L"レベルにする必要があります。
システムリセットが解除（"L"→"H"）されてからXI端子に入力されるクロックで262144クロックの間は、内部レジスタの初期化が行われますので、この期間はHost CPUからのコマンドは無視されます。
電源が立ち上がる前は/RESET端子="L"レベルとして下さい。

■フレーズ再生制御レジスタマップ

本 LSI のフレーズ再生は、以下のレジスタによって制御されます。

ADRS	再生チャンネル	D7	D6	D5	D4	D3	D2	D1	D0
＄00h	ALL							DOEN	MUTE
＄01h		VLMA（AMM トータルボリューム）							
＄02h				CPL（クリップリミッタ）			BSL（ブーストレベル）		
＄40h	チャンネル 0	MNS0（フレーズナンバーの選択）							
＄41h		VLM0（ボリューム）							
＄42h					PAN0（パン）				
＄43h							KON0		LOOP0
＄44h	チャンネル 1	MNS1（フレーズナンバーの選択）							
＄45h		VLM1（ボリューム）							
＄46h					PAN1（パン）				
＄47h							KON1		LOOP1
＄48h	チャンネル 2	MNS2（フレーズナンバーの選択）							
＄49h		VLM2（ボリューム）							
＄4Ah					PAN2（パン）				
＄4Bh							KON2		LOOP2
＄4Ch	チャンネル 3	MNS3（フレーズナンバーの選択）							
＄4Dh		VLM3（ボリューム）							
＄4Eh					PAN3（パン）				
＄4Fh							KON3		LOOP3
＄50h	チャンネル 4	MNS4（フレーズナンバーの選択）							
＄51h		VLM4（ボリューム）							
＄52h					PAN4（パン）				
＄53h							KON4		LOOP4
＄54h	チャンネル 5	MNS5（フレーズナンバーの選択）							
＄55h		VLM5（ボリューム）							
＄56h					PAN5（パン）				
＄57h							KON5		LOOP5
＄58h	チャンネル 6	MNS6（フレーズナンバーの選択）							
＄59h		VLM6（ボリューム）							
＄5Ah					PAN6（パン）				
＄5Bh							KON6		LOOP6
＄5Ch	チャンネル 7	MNS7（フレーズナンバーの選択）							
＄5Dh		VLM7（ボリューム）							
＄5Eh					PAN7（パン）				
＄5Fh							KON7		LOOP7

注）　　　　には“0”をライトして下さい。

■シーケンサー制御レジスタマップ

本 LSI は、8 系統のシーケンサーが内蔵されており、以下のレジスタによって制御されます。

ADRS	シーケンサー	D7	D6	D5	D4	D3	D2	D1	D0
＄80h		SQNS0(シーケンスコードの選択)							
＄81h							SQON0		SQLP0
＄82h		TMRH0(ウエイトタイマーの H バイト)							
＄83h		TMRL0(ウエイトタイマーの L バイト)							
＄84h	シーケンサー0	TGST0(ON トリガの再生チャンネルの選択)							
＄85h		TGEN0(OFF トリガの再生チャンネルの選択)							
＄86h		SQOF0(シーケンサー終了時の再生停止チャンネルの選択)							
＄88h		"01h"							
＄90h		SQNS1(シーケンスコードの選択)							
＄91h							SQON1		SQLP1
＄92h		TMRH1(ウエイトタイマーの H バイト)							
＄93h		TMRL1(ウエイトタイマーの L バイト)							
＄94h	シーケンサー1	TGST1(ON トリガの再生チャンネルの選択)							
＄95h		TGEN1(OFF トリガの再生チャンネルの選択)							
＄96h		SQOF1(シーケンサー終了時の再生停止チャンネルの選択)							
＄98h		"01h"							
＄A0h		SQNS2(シーケンスコードの選択)							
＄A1h							SQON2		SQLP2
＄A2h		TMRH2(ウエイトタイマーの H バイト)							
＄A3h		TMRL2(ウエイトタイマーの L バイト)							
＄A4h	シーケンサー2	TGST2(ON トリガの再生チャンネルの選択)							
＄A5h		TGEN2(OFF トリガの再生チャンネルの選択)							
＄A6h		SQOF2(シーケンサー終了時の再生停止チャンネルの選択)							
＄A8h		"01h"							
＄B0h		SQNS3(シーケンスコードの選択)							
＄B1h							SQON3		SQLP3
＄B2h		TMRH3(ウエイトタイマーの H バイト)							
＄B3h		TMRL3(ウエイトタイマーの L バイト)							
＄B4h	シーケンサー3	TGST3(ON トリガの再生チャンネルの選択)							
＄B5h		TGEN3(OFF トリガの再生チャンネルの選択)							
＄B6h		SQOF3(シーケンサー終了時の再生停止チャンネルの選択)							
＄B8h		"01h"							
＄C0h		SQNS4(シーケンスコードの選択)							
＄C1h							SQON4		SQLP4
＄C2h		TMRH4(ウエイトタイマーの H バイト)							
＄C3h		TMRL4(ウエイトタイマーの L バイト)							
＄C4h	シーケンサー4	TGST4(ON トリガの再生チャンネルの選択)							
＄C5h		TGEN4(OFF トリガの再生チャンネルの選択)							
＄C6h		SQOF4(シーケンサー終了時の再生停止チャンネルの選択)							
＄C8h		"01h"							
＄D0h		SQNS5(シーケンスコードの選択)							
＄D1h							SQON5		SQLP5
＄D2h		TMRH5(ウエイトタイマーの H バイト)							
＄D3h		TMRL5(ウエイトタイマーの L バイト)							
＄D4h	シーケンサー5	TGST5(ON トリガの再生チャンネルの選択)							
＄D5h		TGEN5(OFF トリガの再生チャンネルの選択)							
＄D6h		SQOF5(シーケンサー終了時の再生停止チャンネルの選択)							
＄D8h		"01h"							
＄E0h		SQNS6(シーケンスコードの選択)							
＄E1h							SQON6		SQLP6
＄E2h		TMRH6(ウエイトタイマーの H バイト)							
＄E3h		TMRL6(ウエイトタイマーの L バイト)							
＄E4h	シーケンサー6	TGST6(ON トリガの再生チャンネルの選択)							
＄E5h		TGEN6(OFF トリガの再生チャンネルの選択)							
＄E6h		SQOF6(シーケンサー終了時の再生停止チャンネルの選択)							
＄E8h		"01h"							
＄F0h		SQNS7(シーケンスコードの選択)							
＄F1h							SQON7		SQLP7
＄F2h		TMRH7(ウエイトタイマーの H バイト)							
＄F3h		TMRL7(ウエイトタイマーの L バイト)							
＄F4h	シーケンサー7	TGST7(ON トリガの再生チャンネルの選択)							
＄F5h		TGEN7(OFF トリガの再生チャンネルの選択)							
＄F6h		SQOF7(シーケンサー終了時の再生停止チャンネルの選択)							
＄F8h		"01h"							

注)　　　には"0"をライトして下さい。

$88h, $98h, $A8h, $B8h, $C8h, $D8h, $E8h, $F8h には"01h"を設定して下さい。

■フレーズデータ用外部 ROM アドレスマップ

本 LSI では、データバス 8 ビット及びデータバス 16 ビットどちらにおいても、1 アドレス=データ 8 ビットで計算します。データバス 8 ビットのフレーズデータ用外部 ROM に接続した場合、アドレス=ROM アドレスとなります。データバス 16 ビットのフレーズデータ用外部 ROM に接続した場合、アドレスは“H”バイト、“L”バイトの順に割り付けられます。

ADRS	–	D7	D6	D5	D4	D3	D2	D1	D0
$000_0000h	フレーズナンバー		ATBL00						
$000_0001h	0	MST00 （フレーズデータスタートアドレス 24～0 ビット、							
$000_0002h		MSB ファースト）							
$000_0003h									
$000_0004h	フレーズナンバー		ATBL01						
$000_0005h	1	MST01 （フレーズデータスタートアドレス 24～0 ビット、							
$000_0006h		MSB ファースト）							
$000_0007h									
:	:	:							
$000_03FCh	フレーズナンバー		ATBLFF						
$000_03FDh	255	MSTFF （フレーズデータスタートアドレス 24～0 ビット、							
$000_03FEh		MSB ファースト）							
$000_03FFh									
$000_0400h	シーケンスコード								
$000_0401h	0	SQCD00 （シーケンスコードデータスタートアドレス							
$000_0402h		24～0 ビット、MSB ファースト）							
$000_0403h									
$000_0404h	シーケンスコード								
$000_0405h	1	SQCD01 （シーケンスコードデータスタートアドレス							
$000_0406h		24～0 ビット、MSB ファースト）							
$000_0407h									
:	:	:							
$000_07FCh	シーケンスコード								
$000_07FDh	255	SQCDFF （シーケンスコードデータスタートアドレス							
$000_07FEh		24～0 ビット、MSB ファースト）							
$000_07FFh									
$000_0800h	シンプルアクセス								
$000_0801h	コード 0	SACD00 （シンプルアクセスコードデータスタートアドレス							
$000_0802h		24～0 ビット、MSB ファースト）							
$000_0803h									
$000_0804h	シンプルアクセス								
$000_0805h	コード 1	SACD01（シンプルアクセスコードデータスタートアドレス 、							
$000_0806h		24～0 ビット、MSB ファースト）							
$000_0807h									
:	:	:							
$000_0BFCh	シンプルアクセス								
$000_0BFDh	コード 255	SACDFF （シンプルアクセスコードデータスタートアドレス							
$000_0BFEh		24～0 ビット、MSB ファースト）							
$000_0BFFh									
$000_0C00h	—	ｼｰｹﾝｽｺｰﾄﾞﾃﾞｰﾀ、シンプルアクセスコードデータ、フレーズデータ							
:	:	:							

注）■には“0”を設定して下さい。

■電気的特性

1.絶対最大定格

項目	記号	定格値	単位
電源電圧	VDD ＊1	－0.5～7.0	V
入力電圧	VI	－0.5～VDD＋0.5	V
出力電圧	VO	－0.5～VDD＋0.5	V
動作周囲温度	TOP	0～70	℃
保存温度	TSTG	－50～125	℃

(注) ＊1：VDD、AVDD を総称して VDD とします。

2.推奨動作条件

項目	記号	最小	標準	最大	単位
電源電圧 1	VDD_CO ＊1	4.5	5.0	5.5	V
電源電圧 2	VDD_HC ＊2	4.5 3.0	5.0 3.3	5.5 3.6	V
電源電圧 3	VDD_ER ＊3	4.5 3.0	5.0 3.3	5.5 3.6	V
電源電圧 4	AVDD ＊4	4.5	5.0	5.5	V
動作周囲温度	TOP	0	25	70	℃

(注) ＊1：VDD4、VDD5 端子に適用します。
＊2：VDD1 端子に適用します。3.6V～4.5V は禁止です。5V で使用する場合は VDD_CO と同一の電源に接続します。
＊3：VDD2、VDD3 端子に適用します。3.6V～4.5V は禁止です。5V で使用する場合は、VDD_CO と同一の電源に接続します。
＊4：AVDD 端子に適用します。

3.直流特性(推奨動作条件において)

項目	記号	条件	最小	標準	最大	単位
消費電流	IDD	全ての VDD、AVDD＝5V			70	mA
入力電圧 H レベル 1 入力電圧 L レベル 1	VIH1 VIL1	MD00～MD15 端子	2.2 －0.3		VDD_CO＋0.3 0.8	V V
入力電圧 H レベル 2 入力電圧 L レベル 2	VIH2 VIL2	＊1	VDD_HC×0.7 －0.3		VDD_HC＋0.3 VDD_HC×0.3	V V
入力電圧 H レベル 3 入力電圧 L レベル 3	VIH3 VIL3	XI、/TEST0～/TEST2 端子	VDD_CO×0.7 －0.3		VDD_CO＋0.3 VDD_CO×0.3	V V
ヒステリシス電圧	Vh	＊2 全ての VDD、AVDD＝5V Ta＝25℃		1.0		V
出力電圧Hレベル 1H 出力電圧Lレベル 1H	VOH1H VOL1H	IOH＝－0.1mA,IOL＝2.0mA MA00～MA23 端子 VDD_ER が 4.5V 以上の時	VDD_ER－1.0		 0.4	V V
出力電圧Hレベル 1L 出力電圧Lレベル 1L	VOH1L VOL1L	IOH＝－0.1mA,IOL＝1.6mA MA00～MA23 端子 VDD_ER が 3.6V 以下の時	VDD_ER－0.4		 0.4	V V
出力電圧 H レベル 2 出力電圧 L レベル 2	VOH2 VOL2	IOH＝－0.1mA,IOL＝2.0mA CLKO、LRO、BCO、SDO、 /PLAY 端子	VDD_CO－1.0		 0.4	V V
入力リーク電流	ILI	VI＝0～5.0V ＊3	－10		10	μA
プルアップ抵抗	RU	＊4	30		300	kΩ

(注) ＊：VDD_HC は VDD1 端子、VDD_ER は VDD2,VDD3 端子、VDD_CO は VDD4,VDD5 端子に適用します。
＊1：/RESET、/SEL、/CS、/WR、ENA、AD、S6M、CD0～CD7、MBMD 端子に適用します。
＊2：/RESET、/CS、/WR、ENA、AD、S6M、CD0～CD7 端子に適用します。
＊3：AD、ENA、/WR、/CS、CD0～CD7、/TEST2 端子に適用します。
＊4：/RESET、/SEL、S6M、MBMD、MD00～MD15、/TEST0、/TEST1 端子に適用します。

4.アナログ特性 (推奨動作条件において)

項目	記号	条件	標準	単位
0dB 出力振幅	VOA0	AOL、AOR 端子 ＊1	2.5	V
最大出力振幅	VOA	AOL、AOR 端子 ＊1	5.0	V

(注) ＊1：AVDD＝5.0V、無負荷時、 peak to peak。最大振幅付近は歪みが大きくなります。

5.交流特性（推奨動作条件において）

項目	記号	最小	標準	最大	単位
マスタークロック周期（＊1）	tMCK	（＊1）×0.95	（＊1）	（＊1）×1.05	ns
マスタークロック立ち上がり時間（＊2）	tRCK			10	ns
マスタークロック立ち下がり時間（＊2）	tFCK			10	ns
マスタークロックデューティ	D	40	50	60	%
出力クロック周期	tCKO		（＊3）		ns
出力クロックオンタイム（＊4）	tCKOH	（＊3）×0.3		（＊3）×0.7	ns
出力クロックオフタイム（＊4）	tCKOL	（＊3）×0.3		（＊3）×0.7	ns
リセットパルス幅（＊5）	tWRES	10			ms
リセットセットアップ時間（＊6）	tSRES	0			ns
クロックセットアップ時間（＊7）	tSCK	10			μs
ライトパルス幅	tWRW	tMCK+20n			s
ENA パルス幅	tEW	tMCK+20n			s
ライトウェイト時間	tWWW	tMCK+20n			s
AD セットアップ時間	tAS	25			ns
AD ホールド時間	tAH	25			ns
ライトデータセットアップ時間	tWDS	25			ns
ライトデータホールド時間	tWDH	25			ns
チップセレクトセットアップ時間	tCSS	tMCK+20n			s
チップセレクトホールド時間	tCSH	0			ns
シンプルアクセス有効データ保持時間 （＊8）	tVDH	（＊9）			s
チップセレクトセットアップ時間(ｼﾝﾌﾟﾙｱｸｾｽﾓｰﾄﾞ)	tCSS_SA	40			ns
チップセレクトホールド時間 (ｼﾝﾌﾟﾙｱｸｾｽﾓｰﾄﾞ)	tCSH_SA	tMCKx4+ tVDH			s
フレーズデータ用外部 ROM アクセス時間（＊10） VDD__ER が 4.5V 以上の時 VDD__ER が 3.6V 以下の時	tRAC			 200 160	 ns ns
デジタル出力アクセス時間	tD	－20		20	ns

（注）出力負荷容量 CL＝50（pF）

＊1：マスタークロック周期はサンプリング周期により異なります。

fs（サンプリング周波数）	tMCK	単位
48kHz, 24kHz	1/18.432M	s
44.1kHz, 22.05kHz	1/16.9344M	s
32kHz, 16kHz	1/16.384	s

＊2：XI 端子に外部からクロックを供給する場合に適用します。

＊3：出力クロック周期はサンプリング周期により異なります。
fs(サンプリング周波数)はフレーズデータ再生時にフレーズデータで指定されるfsに設定されます。
システムリセット後、フレーズデータを再生開始するまでの期間については、デバイスの初期状態として fs(Hz)=XI端子に入力されるクロック周波数/512 に設定され、CLKO出力クロック周期は1/(256fs)に設定されます。fsが変更されるとCLKO出力クロック周期も変更されます。

fs（サンプリング周波数）	tCKO	単位
48kHz, 24kHz	1/384fs	s
44.1kHz, 22.05kHz	1/384fs	s
32kHz, 16kHz	1/256fs	s

＊4：XI端子に外部からデューティ５０％のクロックを供給する場合に適用します。

＊5：全ての電源が推奨動作条件における電源電圧値の最小値に到達した時点を基準とします。
電源立ち上げ後に XI に供給するクロックの発振が安定するまでの時間を考慮した値です。
電源立ち上げ直後のシステムリセットに必要なリセットパルス幅を示します。

＊6：いずれかの電源が推奨動作条件における電源電圧値の 30%のレベルまで到達した時点を基準とします。

＊7：全ての電源、XI 端子に入力されるクロックの周波数が安定している状態でのシステムリセットに必要なリセットパルス幅を示します。
/RESET 端子が”L”レベルから”H”レベルに変化後、XI 端子に入力されるクロックで 262144 クロック間は、LSI の内蔵 RAM の初期化が行われるため、全てのモードで HostCPU からのコマンドは無視されます。

＊8：/SEL="L"レベルの時に適用します。
＊9：シンプルアクセスの有効データ保持時間はサンプリング周期により異なります。

fs（サンプリング周波数）	検知しない	検知する	単位
32kHz, 44.1kHz, 48kHz	$t_{VDH}<0.5/fs$	$t_{VDH}>5/fs$	s
16kHz, 22.05kHz, 24kHz	$t_{VDH}<0.25/fs$	$t_{VDH}>2.5/fs$	s

システムリセット後にフレーズデータの再生を開始するまでの期間に限り、新しいシンプルアクセスコードの有効データ保持時間は $t_{VDH}>2560\times$(＊1)(s)となります。
＊10：アドレス出力からデータ入力確定までの時間です。

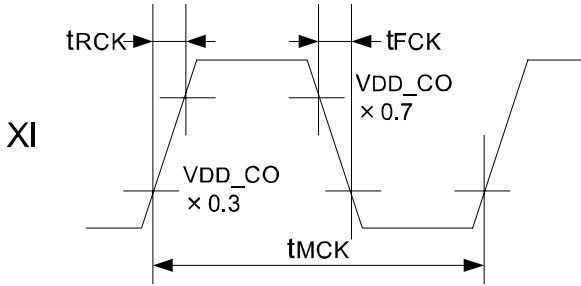
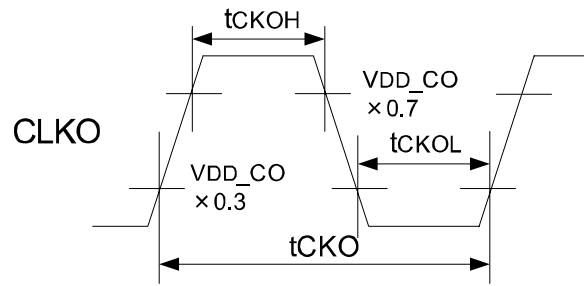



図1　マスタークロックタイミング　　図2　出力クロックタイミング

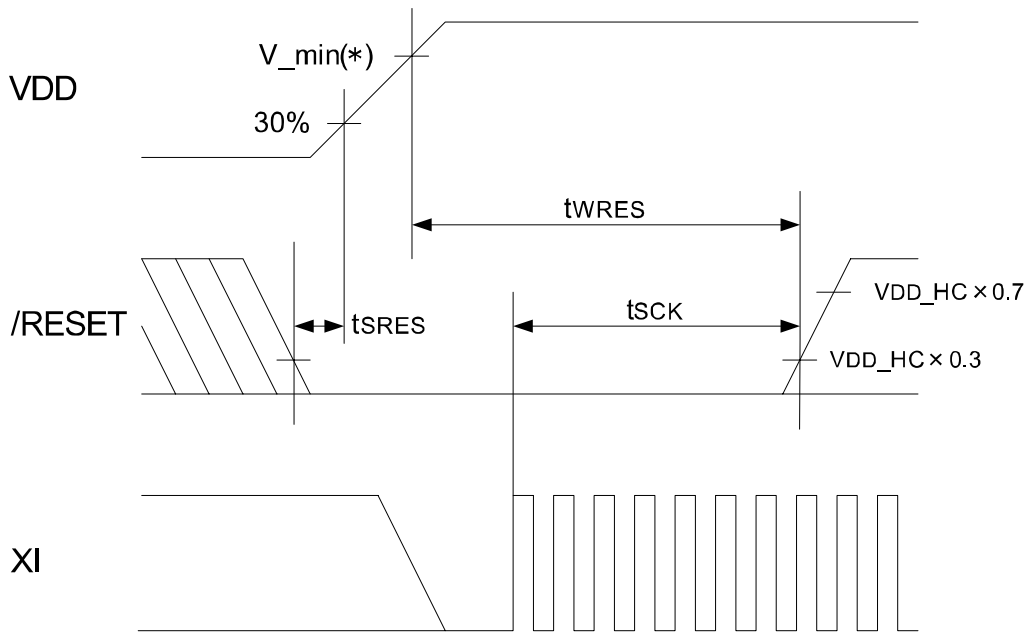



図3　リセットタイミング
(*):V_min=推奨動作条件における電源電圧値の最小値

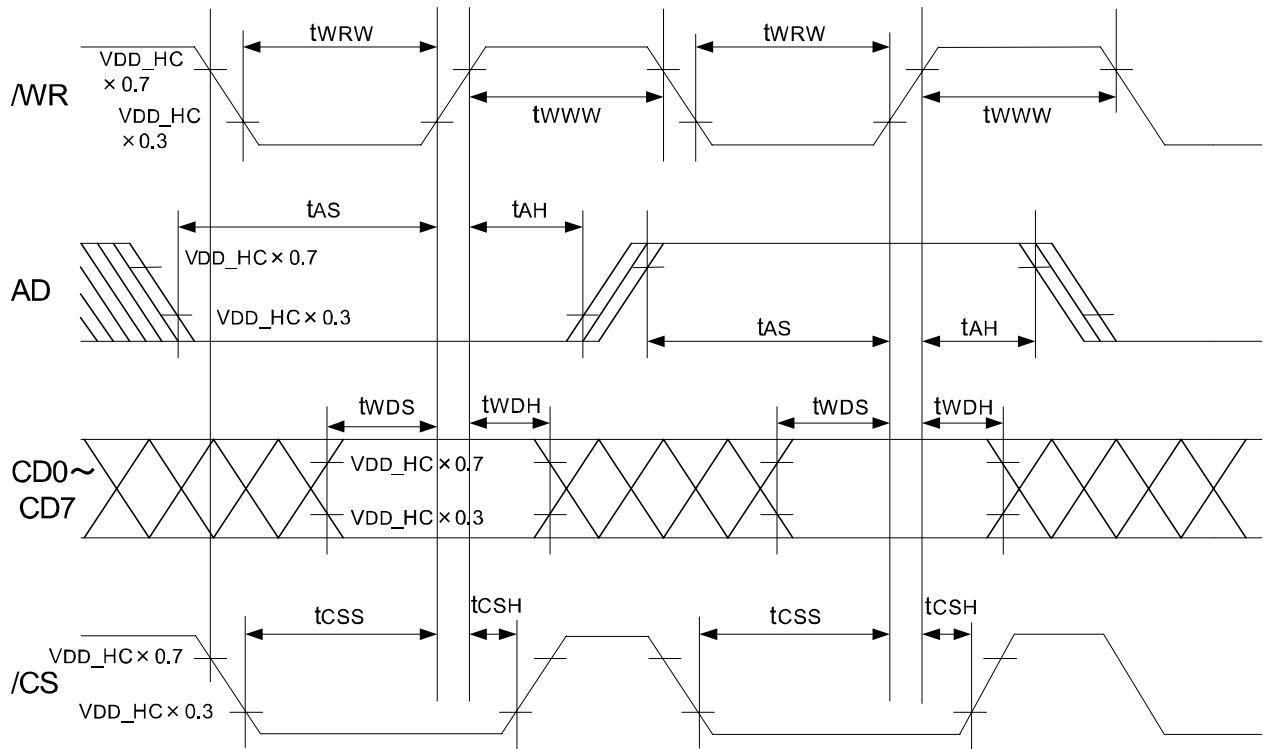



図4　CPUインターフェイスタイミング（ノーマルモード1:/SEL端子="H",S6M端子="H"）

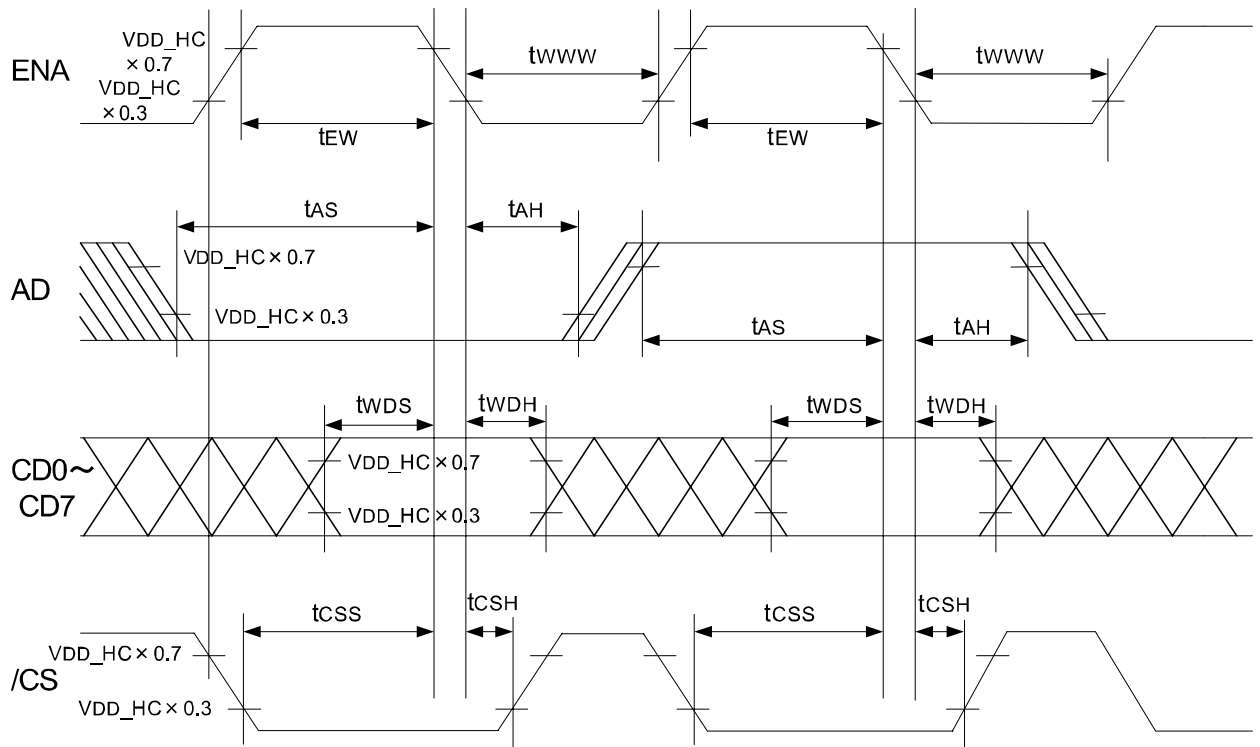



図5　CPUインターフェイスタイミング（ノーマルモード2:/SEL端子="H",S6M端子="L",/WR端子="L"）

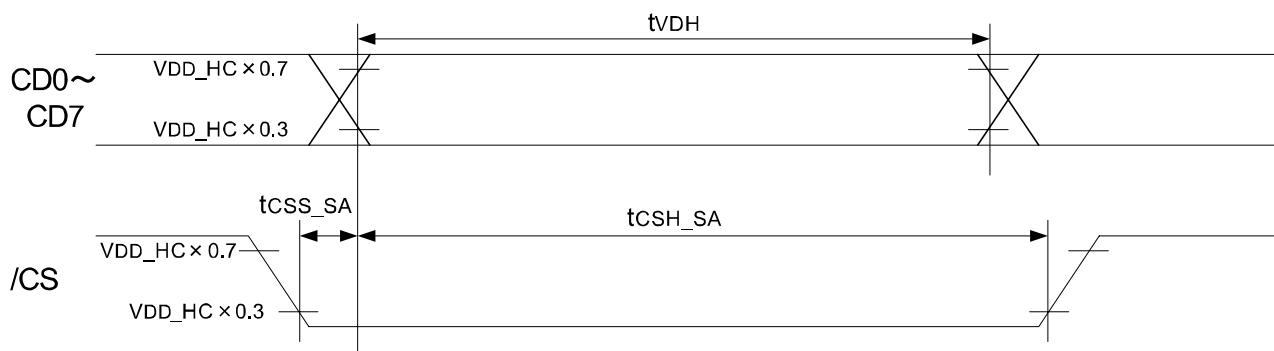



図6　CPUインターフェイスタイミング（シンプルアクセスモード時:/SEL端子="L"）

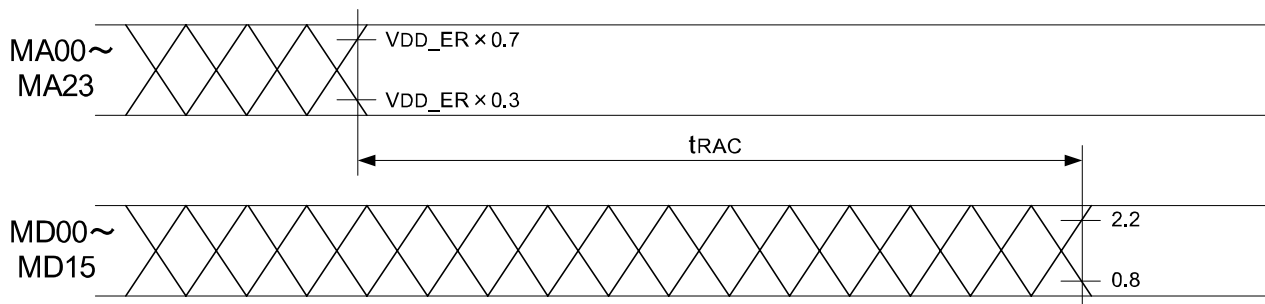



図7　フレーズデータ用外部ROMアクセスタイミング

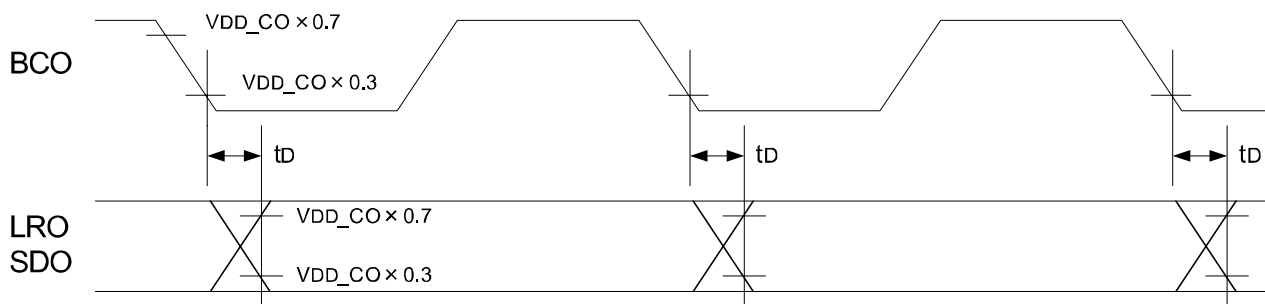
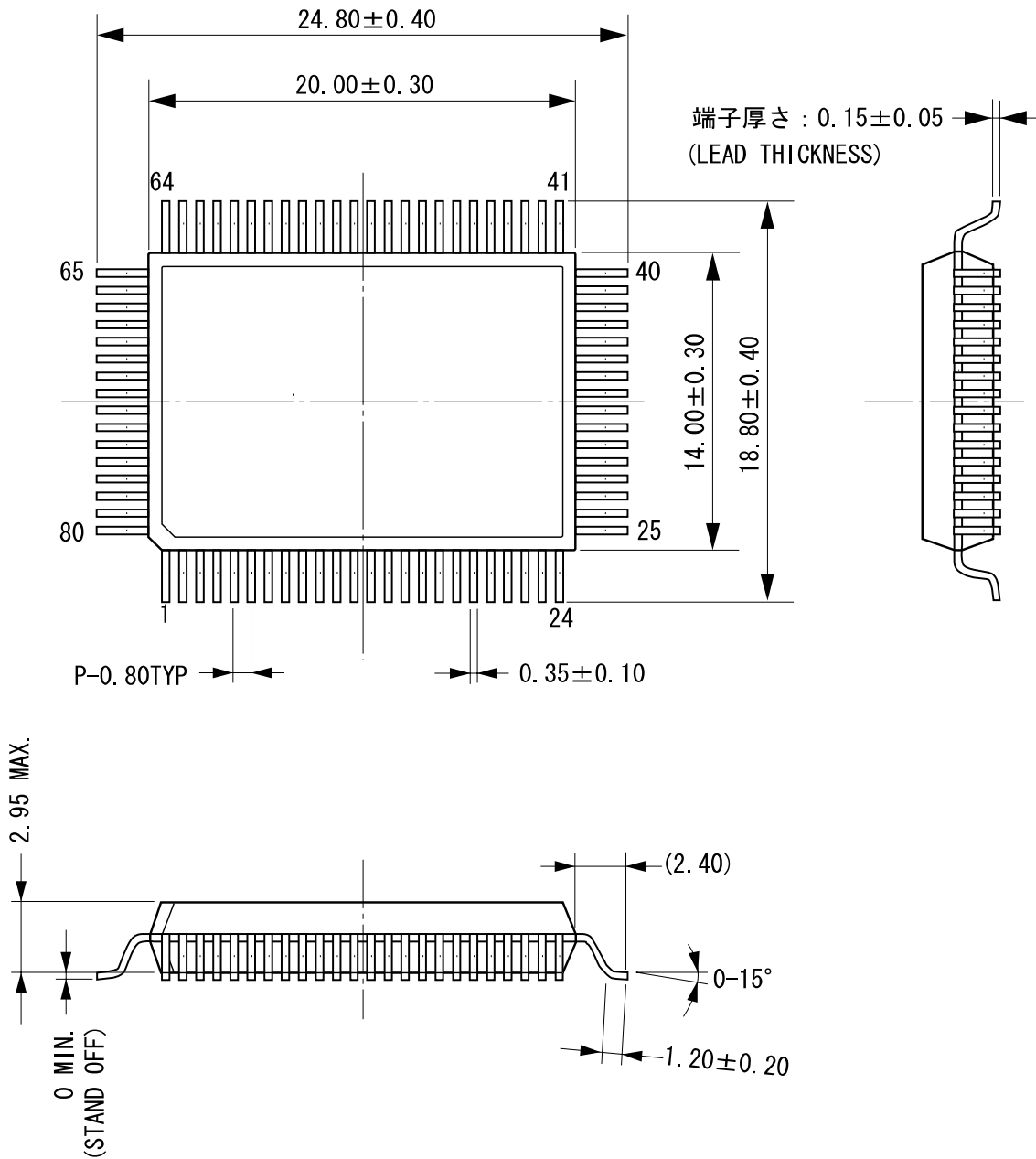



図8　デジタル出力タイミング

■パッケージ外形図

モールドコーナー形状は、この図面と若干異なるタイプもあります。
カッコ内の寸法値は参考値です。
モールド外形寸法はバリを含みません。
単位：mm

The shape of the molded corner may slightly differ from the shape in this diagram.
The figure in the parentheses ( ) should be used as a reference.
Plastic body dimensions do not include resin burr.
UNIT: mm

注）　表面実装LSIは、保管条件、及び半田付けについての特別な配慮が必要です。
詳しくはヤマハ代理店までお問い合わせください。

Note:　The storage and soldering of LSIs for surface mounting need special consideration.
For detailed information, please contact your local Yamaha agent.

重要なお知らせ

1. 本製品は、用途によっては外国為替及び外国貿易管理法に定める貨物または技術（役務）に該当する場合があります。該当する貨物または技術を輸出する場合は同法に基づく日本政府の輸出許可が必要です。詳しくは弊社営業所へお問い合わせください。

2. 本製品及び本文書は、何らの通知なしに変更される場合があります。本製品をご使用になる前に、最新のカタログ、マニュアルなどを弊社代理店よりお取り寄せください。

3. 本製品は、直接に生命にかかわる装置、原子力施設、航空機、交通機器、各種安全装置など製品の故障が直接に人の死亡、傷害、または重大な物理的もしくは環境上の損害を引き起こすようなシステム機器または装置に使用するために設計されたものではありません。本製品をこの様なシステム機器または装置に使用されることによる危険および損害は製品を使用されるお客様にご負担いただきます。

4. お客様が製品を誤った、または不適当な方法で使用または操作された結果の損害につきましては弊社は一切責任を負いません。

5. 本製品を他の製品と組み合わせてまたは他の装置に使用されることが、第三者または弊社の特許権、著作権またはその他の知的財産権の実施に該当するとしても、弊社はそれらに関して何らのライセンスも（明示であれ黙示であれ）許諾されていることを保証するものではありません。弊社は、製品のかかる使用によって生じた第三者の権利に対する侵害について、一切責任を負いません。

6. 本文章に記載されている使用例は、単に本製品の機能を説明したものにすぎません。弊社は、本文書に記載されている例に基づいた使用により生ずるかもしれない一切の知的財産権に関するクレームまたはその他のクレームに対して、何らの責任も負いません。

7. 弊社は品質・信頼性の向上に努めておりますが、弊社製品のご使用に際しては半導体製品について通常予想される故障発生率、故障モードをご考慮の上、本製品の動作が原因でご使用の機器が人命にかかわる事故、発煙・発火事故、その他の拡大損害を引き起こさないように、保護回路・誤動作防止回路等の安全設計、冗長設計・機構設計等の安全対策を講じていただきますようお願い致します。

8. 本文書に記載された応用回路例及びその定数や計算式並びにプログラム及び制御手順等の情報は、本製品の標準的な動作や使い方を説明するためのものです。従いまして、本製品を使用される場合には外部諸条件を考慮のうえ、システム全体で十分に評価し、お客様の責任において適応可否の判断をお願い致します。これらの使用に起因しお客様または第三者に損害が生じた場合、弊社は一切その責任を負いません。

ご注意　本製品の仕様につきましては、改良の為予告なく変更される場合があります。

代　理　店

ヤマハ株式会社

半導体事業部

■ 営　業　部　〒438-0192　静岡県磐田郡豊岡村松之木島203
TEL　〈0539〉 62-4918(代)
FAX　〈0539〉 62-5054

■ 東京営業所　〒108-8568　東京都港区高輪2-17-11
TEL　〈03〉 5488-5431
FAX　〈03〉 5488-5088

■ 大阪営業所　〒542-0081　大阪府大阪市中央区南船場3-12-12
心斎橋プラザビル本館
TEL　〈06〉 6252-6221
FAX　〈06〉 6252-6229